



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0055005
Application Number PATENT-2002-0055005

출원 년 월 일 : 2002년 09월 11일
Date of Application SEP 11, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



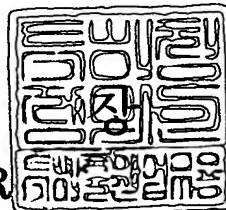
2002 년 12 월 18 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2002.09.11
【국제특허분류】	H01L
【발명의 명칭】	저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having a SiN etch stopper by low temperature ALD and fabricating method the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	추강수
【성명의 영문표기】	CHU, Kang Soo
【주민등록번호】	670530-1691011
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 쌍용아파트 544-1805
【국적】	KR
【발명자】	
【성명의 국문표기】	이주원
【성명의 영문표기】	LEE, Joo Won
【주민등록번호】	681020-1110417

【우편번호】 442-744
【주소】 경기도 수원시 팔달구 영통동 황골마을백산아파트 222-401
【국적】 KR
【발명자】
【성명의 국문표기】 박재언
【성명의 영문표기】 PARK, Jae Eun
【주민등록번호】 740201-1912024
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 고매리 동성아파트 102-103
【국적】 KR
【발명자】
【성명의 국문표기】 양종호
【성명의 영문표기】 YANG, Jong Ho
【주민등록번호】 740305-1018711
【우편번호】 135-110
【주소】 서울특별시 강남구 압구정동 528 한양아파트 72-1012
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 16 항 621,000 원
【합계】 650,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판에 식각손상이 발생하는 것을 방지하기 위해 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 및 그 제조방법에 관해 개시한다. 이를 위해 본 발명은 반도체 기판 위에 먼저 고온에서 저압화학기상증착 (LPCVD)으로 형성된 제1 질화막을 형성하고, 그 상부에 저온에서 원자층 증착(ALD)으로 형성된 제2 질화막 재질의 식각저지층을 형성한 후, 상기 제1 질화막과 제2 질화막의 식각선택비를 이용하여 제2 질화막을 습식식각으로 제거함으로써, 제2 질화막 재질의 식각저지층 하부 반도체 기판에서 식각손상이 발생하는 문제점을 해결한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 및 그 제조 방법{Semiconductor device having a SiN etch stopper by low temperature ALD and fabricating method the same}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 자기정렬 콘택 공정을 설명하기 위해 도시한 단면도이다.

도 2는 도1의 A 부분에 대한 확대 단면도이다.

도 3 내지 도 7은 본 발명에 따라서 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 자기정렬 콘택 공정을 설명하기 위해 도시한 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 반도체 기판,	102: 게이트 전극 패턴,
104: 실리사이드 패턴,	106: 최상부층 패턴,
108: 게이트 스페이서,	110: 게이트 패턴,
120: 식각저지층,	130: 층간절연막,
140: 포토레지스트 패턴,	150: 자기정렬 콘택홀,

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 더욱 상세하게는 자기정렬 콘택 형성 공정에서 저온에서 원자층 증착(ALD: Atomic Layer Deposition)에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 및 그 제조방법에 관한 것이다.
- <11> 반도체 소자를 제조하는 방법에서 패턴의 미세화 및 막질의 박막화가 요구됨에 따라 패턴 미세화 및 막질 박막화에 유리한 원자층 증착 기술이 DRAM 소자를 중심으로 적용이 확대되고 있다. 특히, 원자층 증착(ALD) 기술은 막질의 두께를 정밀하게 제어하기가 유리하기 때문에 메모리소자의 커패시터 유전막, 확산방지막 및 게이트 유전막 등에 적용이 점차 확대되고 있다.
- <12> 최근 반도체 소자에 대한 고집적화가 진행되면서 게이트와 게이트 사이의 간격도 점차 좁아져서 일반적으로 디자인 룰(design rule)이 $0.2\mu\text{m}$ 전후로 자기정렬콘택(SAC: Self Align Contact) 공정이 사용되고 있다. 자기정렬콘택(SAC) 공정이란, 게이트와 게이트 사이에 있는 소오스(Source)나 드레인(drain)에 콘택홀을 형성할 때, 미스얼라인(Miss-align)에 의한 콘택플러그(contact plug)와 게이트 패턴 사이의 단선(Short)를 방지하기 위하여 게이트 패턴을 식각 버퍼(buffer)로 사용하는 기술을 말한다. 이렇게 자기정렬콘택을 사용하는 공정이 반도체 소자의 제조공정에 도입됨에 따라 자기정렬콘택(SAC) 공정과 연관된 주변공정에도 많은 변화를 야기하였다.

- <13> 도 1은 종래 기술에 의한 자기정렬콘택 공정을 설명하기 위해 도시한 단면도이고, 도 2는 2차 건식식각 후, 도1의 A 부분에 대한 확대 단면도이다.
- <14> 도 1을 참조하면, 반도체 기판(10) 위에 게이트 패턴(20)을 형성하고, 식각저지층(30)을 적층한 후, 충전절연막(40)으로 반도체 기판 위를 평탄화시킨다. 이어서 충전절연막(40) 위에 포토레지스트 패턴(50)을 형성한 후, 건식식각을 통하여 게이트 패턴(20) 사이의 소오스 및 드레인 영역을 노출시키는 자기정렬콘택홀(self align contact hole, 60)을 형성한다.
- <15> 상기 건식식각시, 게이트 패턴(20)의 게이트전극 패턴(22) 및 실리사이드 패턴(24)이 식각되는 것을 방지하기 위해, 상기 충전절연막(40), 예컨대 산화막 계열의 막질과 고선택비를 갖는 저압화학기상증착(LPCVD: Low Pressure Chemical Vapor Deposition)에 의한 질화막을 게이트 상부 절연막 패턴(26) 및 게이트 스페이서(28)의 재질로 사용한다.
- <16> 또한, 자기정렬 콘택홀을 건식식각으로 형성할 때, 반도체 기판(10)이 식각되어 손상되는 것을 방지하기 위해, 저압화학기상증착(LPCVD)에 의한 질화막을 식각저지층(etch stopper, 30) 재질로 사용하고 있다. 상기 식각저지층(30)은 100 ~ 200 Å 정도의 얇은 막질로 자기정렬 콘택홀(60)을 형성하기 위한 건식식각으로 상기 충전절연막(40)을 먼저 식각한 후, 자기정렬 콘택홀 형성을 위한 건식식각과는 식각방법(etch recipe)를 달리하는 2차 건식식각에 의하여 제거된다.
- <17> 그러나 종래 기술에 의한 자기정렬 콘택 공정은 두께가 매우 얇은 식각저지층(30)을 2차 건식식각으로 제거하는 과정에서 도2와 같이 반도체 기판(10)이 함께 식각되어

리세스(recess)되거나 반도체 기판(10)에 식각손상(etch damage)이 발생하는 문제점이 있다.

<18> 이러한 문제의 원인은 식각 대상이 되는 막질이 얇고 현재의 건식식각 기술로서는 웨이퍼 전면에 동일한 속도로 식각을 할 수 없으며, 층간절연막 식각시에도 하부의 질화막 두께를 일정하게 관리할 수 없기 때문이다. 더욱이 양산시에는 장비간의 편차 때문에 얇은 막질을 균일하게 식각하기 어려운 점이 식각손상 발생을 더욱 심화시키고 있다.

<19> 상술한 반도체 기판(10)의 리세스 및 식각손상은 식각이 상대적으로 적은 웨이퍼 중심부에 있는 DRAM소자 칩에서는 T_{RDL} (Last data in to row precharge)과 같은 AC 파라미터 불량을 야기하고, 식각이 상대적으로 많은 웨이퍼 가장자리 부위 DRAM소자 칩에서는 리프레쉬(refresh) 특성을 저하시켜, 반도체 소자의 신뢰성을 저하시키고, 수율을 떨어뜨리는 원인이 되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자 하는 기술적 과제는 식각저지층으로 다른 재질의 막질을 사용하여 반도체 기판에서 발생하는 리세스 및 식각손상을 방지할 수 있는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자를 제공하는데 있다.

<21> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위하여 본 발명은, 패드산화막이 형성되어 있는 반도체 기판과, 상기 반도체 기판 위에 형성되고 최상부층 및 게이트 스페이서가 저압화학

기상증착(LPCVD)에 의한 제1 질화막인 게이트 패턴과, 상기 반도체 기판과 상기 게이트 패턴 위를 블랭킷(blanket) 방식으로 덮으며, 저온에서 원자층 증착(ALD)으로 형성된 제2 질화막을 재질로 하는 식각저지층과, 상기 식각저지층 위에 형성된 층간절연막을 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자를 제공한다.

<23> 본 발명의 바람직한 실시예에 의하면, 상기 식각저지층은 100~ 500℃의 온도에서 만들어진 막질인 것이 적합하고, 두께가 100~700Å 범위인 것이 적합하다.

<24> 바람직하게는, 상기 반도체 기판 위에 형성된 폴리실리콘 재질의 게이트 전극 패턴과, 상기 게이트 전극 패턴 위에 형성된 실리사이드 패턴과, 상기 실리사이드 패턴 위에 형성되고 저압화학기상증착에 의한 제1 질화막 재질인 최상부층 패턴과, 상기 게이트 전극 패턴, 실리사이드 패턴 및 최상부층 패턴의 측벽에 형성되고 저압화학기상증착에 의한 제1 질화막 재질인 게이트 스페이서를 구비하는 것이 적합하다.

<25> 또한, 상기 층간절연막은 SiO₂, BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 단일막 혹은 SiO₂, BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 막질을 포함하는 다층막인 것이 적합하다.

<26> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판 위에 게이트 패턴을 형성하되 상기 게이트 패턴은 최상부 및 측벽에 저압화학기상증착에 의한 제1 질화막이 있는 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴 전체와 상기 반도체 기판 전체를 일정한 두께로 덮는 저온 원자층 증착에 의한 제2 질화막 재질의 식각저지층을 형성하는 단계와, 상기 식각저지층이 형성된 반도체 기판 위에 층간절연막을 증착하는 단계와, 상기 게이트 패턴을 이용하여 상기 층간절연막을 건식식각으로 식각하여 자기정

열 콘택홀을 형성하는 단계와, 상기 자기정렬 콘택홀 영역에 노출된 식각저지층을 습식 식각으로 제거하는 단계를 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 제조방법을 제공한다.

- <27> 본 발명의 바람직한 실시예에 의하면, 상기 게이트 패턴을 형성하는 방법은 상기 반도체 기판 위에 게이트 전극, 실리사이드층 및 저압화학기상증착에 의한 제1 질화막 재질인 최상부층 패턴을 적층하는 단계와, 상기 게이트 전극, 실리사이드층 및 최상부층 패턴 측벽에 저압화학기상증착에 의한 제1 질화막 재질인 게이트 스페이서를 형성하는 단계를 구비하는 것이 적합하고, 상기 원자층 증착에 의한 제2 질화막을 형성하는 온도는 100~500℃ 범위인 것이 적합하고, 그 두께는 100~700Å의 범위인 것이 적합하다.
- <28> 바람직하게는, 상기 원자층 증착에 의한 제2 질화막 재질의 식각저지층을 형성하기 위한 반응가스는, 실리콘 소스로는 SiH_4 , SiCl_2H_2 , SiCl_4 중에서 선택된 하나를 사용하고, 질소 소스로는 N_2 , NH_3 , N_2O 중에서 선택된 하나를 사용하는 것이 적합하다.
- <29> 또한, 상기 층간절연막은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 단일막 혹은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 막질을 포함하는 다층막을 사용하는 것이 적합하다.
- <30> 또한, 본 발명의 바람직한 실시예에 의하면, 상기 자기정렬 콘택홀을 형성하기 위한 건식식각은, 상기 식각저지층이 노출될 때까지 진행하는 것이 바람직하고, 상기 식각저지층을 제거하기 위한 습식식각은 불산(HF) 용액을 식각액으로 사용하거나, RCA사에 의해 개발된 SC1 세정법을 습식방법으로 적용할 수 있다.

- <31> 본 발명에 따르면, 자기정렬 콘택홀 형성공정에서 게이트 패턴의 최상부층 및 게이트 스페이서 재질인 제1 질화막과 습식식각에서 고선택비(high selectivity)를 갖는 제2 질화막, 예컨대 500℃ 이하의 저온에서 원자층 증착으로 형성된 막질을 식각저지층 사용하여 반도체 기판에 리세스가 발생하거나 식각손상이 야기되는 문제점을 해결할 수 있다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.
- <33> 본 발명은 그 정신 및 필수적 특징을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 아래의 바람직한 실시예에 있어서는 500℃ 이하의 저온에서 원자층 증착으로 형성된 제2 질화막 재질의 식각저지층이 자기정렬콘택 공정의 게이트 패턴 위에 적용되었지만, 이를 변형하여 상기 제2 질화막 재질의 식각저지층을 자기정렬콘택 공정이 아닌 다른 공정에서 식각저지층으로 사용할 수도 있다. 또한, 본 발명으로부터 500℃ 이하의 저온에서 원자층 증착으로 형성된 질화막의 사용법을 참고한 후, 자기정렬 콘택 공정이 아닌 다른 공정에 이를 적용하고 본 발명과 같이 고온 질화막과 저온 질화막의 습식식각 선택비를 이용하여 저온 질화막, 즉 제2 질화막을 제거해도 본 발명의 효과를 달성할 수 있다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.
- <34> 먼저 도 5를 참조하여 본 발명에 의한 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자를 설명한다.

<35> 본 발명에 의한 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 구성은, 패드산화막(미도시)이 형성되어 있는 반도체 기판(100)과, 상기 반도체 기판(100) 위에 형성되고 최상부층(106) 및 게이트 스페이서(108)가 저압화학기상증착(LPCVD)에 의한 제1 질화막인 게이트 패턴(110)과, 상기 반도체 기판(100)과 상기 게이트 패턴(110) 위를 블랭킷(blanket) 방식으로 덮으며, 저온에서 원자층 증착(ALD)으로 형성된 제2 질화막을 재질인 식각저지층(120)과, 상기 식각저지층(120) 위에 형성된 층간절연막(130)으로 이루어진다.

<36> 여기서 상기 식각저지층(120)은 본 발명의 목적을 달성하는 주요한 역할을 수행한다. 즉, 산화막 계열의 층간절연막(130)을 식각하여 자기정렬 콘택홀(도6 150)을 형성하는 건식식각에서, 상기 게이트 패턴의 최상부층(106) 및 게이트 스페이서(108)의 재질인 제1 질화막보다 약 1~1.3배의 선택비를 갖기 때문에 식각저지층의 역할을 충실히 수행한다. 여기서 제1 질화막(106, 108)은 600℃ 이상의 고온에서 저압화학기상증착으로 형성된 막질을 말한다.

<37> 또한, 식각저지층(120)을 제거하기 위한 두 번째 습식식각 공정에서는, 제1 질화막, 즉 게이트 패턴의 최상부층(106) 및 게이트 스페이서(108)보다 약 20배의 식각율을 갖고 밀도가 낮은 막질이기에 때문에, 반도체 기판(100)에 리세스나 식각손상을 야기하지 않고 제거가 가능하다.

<38> 따라서, 본 발명에 의한 저온에서 원자층 증착에 의해 형성된 제2 질화막 재질의 식각저지층(120)은, 산화막 계열의 층간절연막(130)과는 건식식각에서 고선택비를 갖고, 고온에서 저압화학기상증착에 의해 형성된 제1 질화막보다는 습식식각에서 고선택비를 갖는 막질이다.

- <39> 이어서, 도 3 내지 도 7은 참조하여 본 발명에 의한 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 자기정렬콘택(SAC) 공정을 설명하기로 한다.
- <40> 도 3을 참조하면, 패드산화막(미도시)이 형성된 반도체 기판(100) 위에 게이트 패턴(110)을 형성한다. 여기서 게이트 패턴(110)은 반도체 기판(100) 위에 게이트 산화막(미도시), 폴리실리콘막 재료의 게이트 전극(102), 실리사이드층(104) 및 제1 질화막 재료의 최상부층 패턴(106)을 적층한 후, 그 측벽에 제1 질화막 재료의 게이트 스페이서(108)을 형성하여 만들 수 있다. 이때, 상기 게이트 패턴(110)의 최상부층 패턴(106) 및 게이트 스페이서(108)는 600℃ 이상 고온에서 저압화학기상증착(LPCVD)으로 만든 제1 질화막 재료이다.
- <41> 도 4를 참조하면, 상기 게이트 패턴(110) 위와 반도체 기판(100) 전체를 블랭킷(blanket) 방식으로 덮는 식각저지층(120)을 형성한다. 상기 식각저지층(120)은 100~500℃의 저온에서 원자층 증착에 의해 형성된 제2 질화막 재료이며, 두께는 100~700 Å의 범위로 형성하는 것이 적합하다. 상기 제2 질화막, 즉 식각저지층(120)을 만들기 위한 원자층 증착 방법은, 실리콘 소스로는 SiH_4 , SiCl_2H_2 , SiCl_4 중에서 선택된 하나를 사용하고, 질소 소스로는 N_2 , NH_3 , N_2O 중에서 선택된 하나를 사용하여 만들 수 있다. 이렇게 원자층 증착(ALD)으로 형성된 제2 질화막(120)은 제1 질화막(106, 108)이 500℃ 이상의 고온에서 저압화학기상증착으로 형성된 막질임을 감안할 때에, 이보다 훨씬 낮은 온도에서 형성이 가능하고 막질의 밀도가 낮은 특성이 있다. 따라서, 후속공정에서 형성되는 중간절연막(130)을 패터닝할 때에는 식각저지층(120) 기능을 훌륭히 수행한다. 아울러 이어지는 제2 질화막, 즉 식각저지층(120) 제거를 위한 습식식각 공정에서는 하

부 막질, 예컨대 반도체 기판(100)에 리세스나 식각손상의 발생없이 제거가 가능한 특징을 지닌다.

<42> 도 5를 참조하면, 상기 식각저지층(120)이 형성된 반도체 기판(10) 위에 평탄화를 위한 층간절연막(130)을 형성한다. 상기 층간절연막(130)은 산화막 계열로서, SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 단일막 혹은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 막질을 포함하는 다층막을 사용하여 형성한다. 이때, 필요에 따라 상기 층간절연막(130)에 화학기계적 연마(CMP: Chemical Mechanical Polishing) 공정이나 리플로우(reflow)같은 평탄화 공정을 진행할 수도 있다.

<43> 도 6을 참조하면, 상기 층간절연막(130)이 형성된 반도체 기판 위에 포토레지스트 패턴(140)을 형성한 후, 건식식각을 통하여 상기 층간절연막(130)을 식각하여 자기정렬 콘택홀(150)을 형성한다. 이때, 상기 제2 질화막 재질의 식각저지층(120)은 자기정렬 콘택홀(150)을 형성하기 위한 건식식각시, 게이트 패턴(110)의 실리콘사이드층 패턴(104)이나 게이트 전극 패턴(102)이 식각되는 것을 방지하고, 상기 반도체 기판(100)에 식각손상이 발생하는 것을 방지한다.

<44> 도 7은 상기 도 6의 B 부분의 확대단면도로서, B 부분에 습식식각을 진행한 후의 결과를 나타낸다.

<45> 도 7을 참조하면, 종래에는 건식식각으로 식각저지층(120)을 제거하였으나, 본 발명에서는 식각저지층(120)의 재질을 저온에서 원자층 증착으로 형성된 제2 질화막으로 변경하고, 이를 제거하는 공정을 습식식각으로 변경한다. 이때, 식각액으로 불산(HF)

용액을 식각액으로 사용하거나, RCA사에 의해 개발된 SC1(standard cleaning 1) 세정법을 적용할 수 있다.

<46> 상기 RCA사의 SC1 세정법은, $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 가 1: 1: 5의 비율인 세정액(80℃)에 10분 동안 세정 -> 순수(Deionized water)에 린스 -> 1%의 불산(HF)액에 침수(dipping) 세정 -> 순수(Deionized water)에 린스 -> $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 가 1: 1: 6 비율인 세정액(80℃)에 10분 동안 세정 -> 순수(Deionized water)에 린스 -> 스핀 드라이(spin dry)의 순서로 실시하는 세정법을 말한다.

<47> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<48> 따라서, 상술한 본 발명에 따르면, 자기정렬 콘택홀 형성공정에서 게이트 패턴의 최상부층 및 게이트 스페이서 재질인 제1 질화막과 습식식각에서 고선택비(high selectivity)를 갖는 제2 질화막, 예컨대 500℃ 이하의 저온에서 원자층 증착으로 형성된 막질을 식각저지층 사용하여 반도체 기판에 리세스가 발생하거나 식각손상이 야기되는 문제점을 해결할 수 있다.

【특허청구범위】**【청구항 1】**

패드산화막이 형성되어 있는 반도체 기판;

상기 반도체 기판위에 형성되고 최상부층 및 게이트 스페이서가

저압화학기상증착(LPCVD)에 의한 제1 질화막인 게이트 패턴;

상기 반도체 기판과 상기 게이트 패턴 위를 블랭킷 방식으로 덮으며, 저온에서 원자층 증착(ALD)으로 형성된 제2 질화막을 재질의 식각저지층; 및

상기 식각저지층 위에 형성된 층간절연막을 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 반도체 기판 위에 형성된 폴리실리콘 재질의 게이트 전극 패턴;

상기 게이트 전극 패턴 위에 형성된 실리사이드 패턴;

상기 실리사이드 패턴 위에 형성되고 저압화학기상증착에 의한 제1 질화막 재질인 최상부층 패턴; 및

상기 게이트 전극 패턴, 실리사이드 패턴 및 최상부층 패턴의 측벽에 형성되고 저압화학기상증착에 의한 제1 질화막 재질인 게이트 스페이서를 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 3】

제1항에 있어서,

상기 식각저지층은 100~ 500℃의 온도에서 만들어진 막질인 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 4】

제1항에 있어서,

상기 식각저지층은 두께가 100~700 Å 범위인 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 5】

제1항에 있어서,

상기 층간절연막은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 단일막인 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 6】

제1항에 있어서,

상기 층간절연막은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 막질을 포함하는 다층막인 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자.

【청구항 7】

반도체 기판 위에 게이트 패턴을 형성하되 상기 게이트 패턴은 최상부 및 측벽에 저압화학기상증착에 의한 제1 질화막이 있는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 전체와 상기 반도체 기판 전체를 일정한 두께로 덮는 저온 원자층 증착에 의한 제2 질화막 재질의 식각저지층을 형성하는 단계;

상기 식각저지층이 형성된 반도체 기판 위에 층간절연막을 증착하는 단계;

상기 게이트 패턴을 이용하여 상기 층간절연막을 건식식각으로 식각하여 자기정렬 콘택홀을 형성하는 단계; 및

상기 자기정렬 콘택홀 영역에 노출된 식각저지층을 습식식각으로 제거하는 단계를 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자의 제조방법.

【청구항 8】

제7항에 있어서,

상기 게이트 패턴을 형성하는 방법은,

상기 반도체 기판 위에 게이트 전극, 실리사이드층 및 저압화학기상증착에 의한 제1 질화막 재질인 최상부층 패턴을 적층하는 단계; 및

상기 게이트 전극, 실리사이드층 및 최상부층 패턴 측벽에 저압화학기상증착에 의한 제1 질화막 재질인 게이트 스페이서를 형성하는 단계를 구비하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 9】

제7항에 있어서,

상기 원자층 증착에 의한 제2 질화막을 형성하는 온도는 100~500℃ 범위인 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 10】

제7항에 있어서,

상기 원자층 증착에 의한 제2 질화막 재질의 식각저지층을 형성하기 위한 반응가스는,

실리콘 소스로는 SiH_4 , SiCl_2H_2 , SiCl_4 중에서 선택된 하나를 사용하고,

질소 소스로는 N_2 , NH_3 , N_2O 중에서 선택된 하나를 사용하는 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 11】

제7항에 있어서,

상기 원자층 증착에 의한 제2 질화막은 100~700Å의 두께 범위로 형성하는 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 12】

제7항에 있어서,

상기 층간절연막은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나의 단일막인 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 13】

제7항에 있어서,

상기 층간절연막은 SiO_2 , BPSG, HDP oxide 및 Fox로 이루어진 산화막군 중에서 선택된 하나를 포함하는 다층막인 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 14】

제7항에 있어서,

상기 자기정렬 콘택홀을 형성하기 위한 건식식각은,

상기 식각저지층이 노출될 때까지 진행하는 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【청구항 15】

제7항에 있어서,

상기 식각저지층을 제거하기 위한 습식식각은 불산(HF) 용액을 식각액하는 것을 특징으로 하는 저온 원자층증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 방법.

【청구항 16】

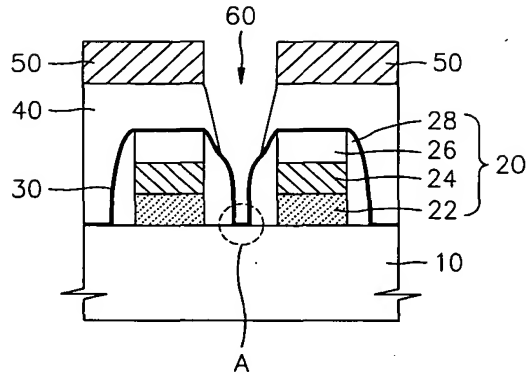
제7항에 있어서,

상기 식각저지층을 제거하기 위한 습식식각은.

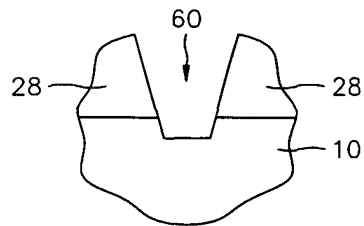
RCA사에 의해 개발된 SC1 세정법을 습식방법으로 적용하는 것을 특징으로 하는 저온 원자층 증착에 의한 질화막을 식각저지층으로 이용하는 반도체 소자 제조방법.

【도면】

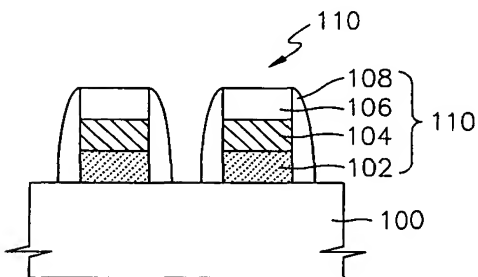
【도 1】



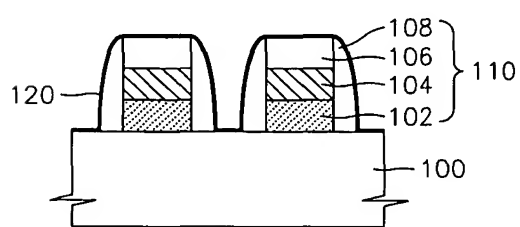
【도 2】



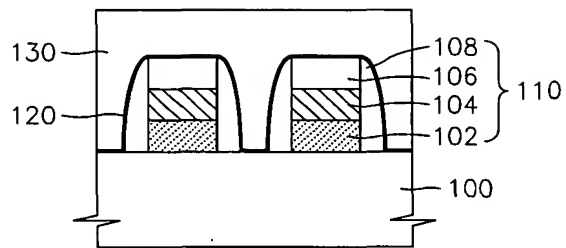
【도 3】



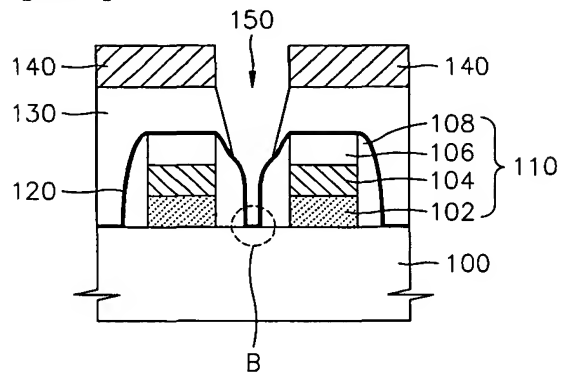
【도 4】



【도 5】



【도 6】



【도 7】

